

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-055421  
 (43) Date of publication of application : 25.02.1997

(51) Int.CI. H01L 21/76

(21) Application number : 08-044103 (71) Applicant : LG SEMICON CO LTD  
 (22) Date of filing : 07.02.1996 (72) Inventor : JUN YOUNG KWON

(30) Priority

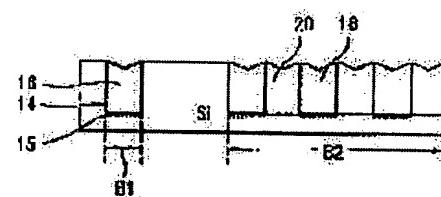
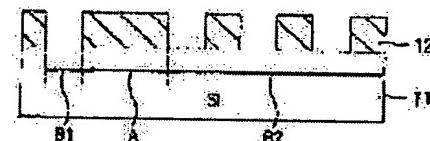
Priority number : 95 9512900 Priority date : 23.05.1995 Priority country : KR

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To facilitate the trench formation for improving the flatness of an insulating film by a method wherein the trench lower side substrates in respective field regions are ion-implanted for channel stop so that the second insulating film may be flatly buried in the trench for flatly burying the second insulating film in the second trench formed by etching away the substrates between trenches.

**SOLUTION:** A substrate 11 is etched away so as to form the first multiple trenches in the same width in element isolating regions. Next, the whole trench is heat-treated using the oxide films 12 as masks so as to form pad oxide films 14 in the bottom and inner walls of respective trenches to be ion-implanted for channel stop using the pad oxide films 14 as masks. Next, the oxide films 12 and the pad oxide films 14 are removed to flatten the surfaces of the substrate and the element isolating regions for the formation of the first trench plug 16. Next, the substrate 11 is etched away using a sensitive film as a mask to form the second trench 18 in the second field region B2. Finally, the second trench plug 20 is formed by removing the sensitive film for evaporating an insulating film to be buried in the trench for flattening.



### LEGAL STATUS

[Date of request for examination] 07.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-55421

(43)公開日 平成9年(1997)2月25日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/76

識別記号 庁内整理番号

F I  
H 01 L 21/76技術表示箇所  
L

審査請求 有 請求項の数 5 FD (全 6 頁)

(21)出願番号 特願平8-44103

(22)出願日 平成8年(1996)2月7日

(31)優先権主張番号 12900/1995

(32)優先日 1995年5月23日

(33)優先権主張国 韓国 (K R)

(71)出願人 591044131

エルジイ・セミコン・カンパニイ・リミテッド

大韓民国 チュングチェオンブグード チエオンジューシ ヒヤンギエオンドン  
50

(72)発明者 ヨン・ゴン・ソン

大韓民国・ソウルーシ・ソンバーグ・ガラ  
グードン・199・ガラクプラザアパートメ  
ント3-803

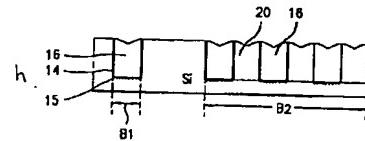
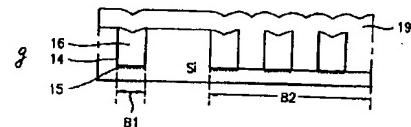
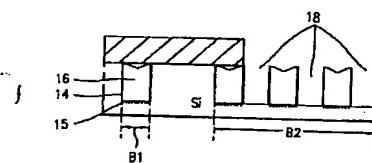
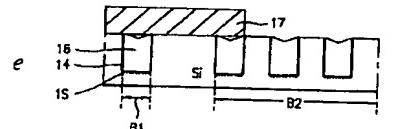
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 広さが相異なる素子分離領域にトレンチを用いて素子分離膜を形成する場合におけるトレンチ形成工程を容易にし、埋設された絶縁膜の平坦性を改善して高集積化に適宜にした半導体装置の素子分離領域の形成方法に関する。

【解決手段】 基板の各フィールド領域に一定間隔で同一の幅を有する複数個の第1トレンチを形成し、各トレンチの下部の基板にチャネルストップイオン注入し、前記各第1トレンチ内に第1絶縁膜を平坦に埋め込み、前記各フィールド領域のうち各第1トレンチ間の基板をエッチングして複数個の第2トレンチを形成し、第2トレンチ内に第2絶縁膜を平坦に埋め込む。



## 【特許請求の範囲】

【請求項1】 それぞれ異なる幅を有する複数個のフィールド領域にフィールド絶縁膜を形成する半導体装置の製造方法において、

基板の各フィールド領域に一定間隔で同一の幅を有する複数個の第1トレンチを形成する段階と、

前記各第1トレンチの下側の基板にチャネルトップイオン注入する段階と、

前記各第1トレンチ内に第1絶縁膜を平坦に埋め込む段階と、

前記各フィールド領域のうち前記各第1トレンチの間の基板をエッチングして複数個の第2トレンチを形成する段階と、

前記第2トレンチ内に第2絶縁膜を平坦に埋め込む段階を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1トレンチの幅は最も小さい幅を有するフィールド領域の幅で形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1トレンチを形成する段階は、半導体基板上に絶縁膜を形成する段階と、

アクティブ領域ではその全面に残すとともにフィールド領域では一定幅を有し一定間隔で残るように前記絶縁膜をバターニングする段階と、

前記バターニングされた絶縁膜をマスクとして露出された基板を所定深さにエッチングする段階とを有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第2トレンチを形成する段階は、アクティブ領域の上部にマスクを形成する段階と、

前記マスクと前記第1トレンチ内に埋め込まれた第1絶縁膜をマスクとして用いて露出された基板部位をエッチングする段階とを有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第2トレンチ内に第2絶縁膜を埋め込む段階は、

基板の全面に絶縁膜を形成する段階と、

前記絶縁膜上に前記第2トレンチが埋め込まれるように流動性ある絶縁膜を形成する段階と、

前記流動性ある絶縁膜を熱処理する工程と、

前記流動性ある絶縁膜をエッチバックして基板の表面とほぼ同一面となるように平坦化させる工程とからなることを特徴とする請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に広さがそれぞれ異なる素子分離領域にトレンチを用いて素子分離膜を形成する場合におけるトレンチ形成工程を容易にし、トレンチにつめこまれる絶縁膜の平坦性を改善して高集積化に適宜にした半導体装置の素子分離領域の形成方法に関する。

## 【0002】

【従来の技術】一般に、集積回路ではシリコン基板のアクティブ領域を互いに絶縁させるための方法の一つとして、シリコン基板のフィールド領域上にフィールド酸化膜を形成するLOCOS法が多用されている。

【0003】このような一般的のLOCOS法は単結晶シリコン基板の全面にパッド酸化膜と窒化膜を順次に蒸着し、アクティブ領域にのみ窒化膜が残るようにバターニングする。そして、前記窒化膜をマスクとして用いてフィールド領域にチャネルトップイオンを注入した後、酸化性雰囲気で単結晶シリコン基板を熱処理して单結晶シリコン基板のフィールド領域上にフィールド酸化膜を形成する。

【0004】しかし、このようにLOCOS法が適用された集積回路は、フィールド領域とアクティブ領域との間の境界領域でフィールド酸化膜のバーズピーク現象が発生し、それがアクティブ領域に侵入してアクティブ領域を減少させる。さらに、フィールド酸化膜が形成される間チャネルトップイオンの側面拡散によりアクティブ領域が減少し、アクティブ領域の拡散層との接合容量が増加するとともに、接合漏れ電流が増加することにより半導体装置の高集積化に対応するに限界が生じる。

【0005】また、フィールド酸化膜の厚さが隔離領域のパターンの大きさに依存性を持つので、隔離領域のパターンが小さいフィールド酸化膜と、隔離領域のパターンが大きいフィールド酸化膜が同一の酸化条件で形成されると隔離領域のパターンが小さいフィールド酸化膜の厚さが隔離領域のパターンが大きいフィールド酸化膜の厚さより小さくなる。これはストレスが隔離領域のパターンの縁で集中されるからであると推測される。

【0006】また、他の方法としては前述したような方法でフィールド領域にフィールド酸化膜を形成した後チャネルトップイオンを注入する方法がある。しかし、このような方法においてもパターンの大きさによりフィールド酸化膜の厚さの差が出るので、フィールド酸化膜が厚い領域よりフィールド酸化膜が薄い領域でチャネルトップ用イオンがシリコン基板の表面からさらに深いところまで注入されるので、フィールド酸化膜がシリコン基板の界面におけるチャネルトップイオンの濃度を補うのが困難となって半導体装置の絶縁特性が不安定になる。

【0007】これにより半導体装置の高集積化に効率よく対応するためにはパターンが小さいフィールド領域の絶縁特性を改善するための新たな方法が提案された。この方法のうち一つが単結晶シリコン基板のフィールド領域にトレンチを形成してフィールドトランジスタの有効チャネル長さを増加させることにより隔離領域の絶縁特性を改善するトレンチ絶縁方法である。

【0008】このトレンチ絶縁方法は単結晶シリコン基板のフィールド領域を異方性乾式エッチングして、その

フィールド領域にトレンチを形成した後、そのトレンチに多結晶シリコン層を埋め込んで酸化させる方法である。あるいは、酸化による基板のストレスを減らすためにトレンチの表面上に絶縁層を蒸着した後、多結晶シリコン層をトレンチに埋め込み、多結晶シリコン層を酸化する方法である。

【0009】このような従来のトレンチ絶縁方法を図1に基づき説明すれば次のとおりである。図1aに示したように、先に単結晶シリコン基板1の全面に酸化膜(図示せず)を形成してから通常のフォトリソグラフィ及びエッティング工程でアクティブ領域に酸化膜を残し、パターンの大きさが相異なるフィールド領域上の酸化膜を取り除いてそのフィールド領域の単結晶シリコン基板1の表面を露出させる。

【0010】次いで、そのアクティブ領域に残された酸化膜をマスクとしてその単結晶シリコン基板1を所定の深さに異方性乾式エッティングして単結晶シリコン基板1のフィールド領域にパターン大きさの相異なるトレンチ2を形成した後、酸化膜を取り除く。引き続き、図1bに示したように、化学蒸着法により単結晶シリコン基板1の全面にパッド酸化膜3と窒化膜4を順次に蒸着する。その後、通常のフォトリソグラフィ及びエッティング工程により前記窒化膜4をアクティブ領域のパッド酸化膜3上にのみ残す。

【0011】次いで、化学気相蒸着法を用いて酸化膜5をパターンの小さいトレンチ2を十分に埋め込める厚さに窒化膜4とパッド酸化膜3上に蒸着する。それによって、パターンの大きいトレンチ2上の酸化膜5の表面には陥没部が生ずる反面、パターンが小さいトレンチ2上の酸化膜5の表面は平坦になる。その後、通常のフォトリソグラフィによりパターンの大きいトレンチ上の酸化膜5の陥没部上にのみ感光膜6を形成する。

【0012】次いで、図2cに示したように、前記感光膜6をマスクとして窒化膜4の表面が露出されるまで酸化膜5をエッチバックする。この際、小さいパターンのトレンチ内には酸化膜5が完全に埋め込まれるが、大きいパターンのトレンチ内には酸化膜5が部分的に残る。図2dに示したように、前記感光膜6を取り除いてから化学蒸着法により前記窒化膜4と酸化膜5の表面上に酸化膜7を蒸着する。このとき、前記酸化膜7の表面には屈曲部8が存する。

【0013】引き続き、前記酸化膜7の屈曲部8を平坦化するために感光膜9を前記酸化膜7上に塗布する。次いで、図2eに示したように、前記感光膜9と酸化膜7を同時にエッチバックして取り除く。それからアクティブ領域の窒化膜4を取り除き、単結晶シリコン基板1の表面が露出されるまでパッド酸化膜2をエッティングすると共に、酸化膜5、7をエッティングする。したがって、単結晶シリコン基板1のアクティブ領域とフィールド領域が実際に平坦になる。

【0014】しかし、従来の方法によりシリコントレンチを形成するに際しては、狭いパターンと広いパターンについてエッティング時マイクロローディング効果が現れる。すなわち、狭いトレンチは浅く、広いトレンチは深く形成される深さ差が出る問題点が生ずる。また、トレンチ内に絶縁膜を埋め込み平坦化するにおいて、補助パターンとして感光膜を形成すると共にエッチバックして取り除くので、感光膜と絶縁膜とのエッティング選択性が類似でなければならないなど工程を調節し難い。

【0015】

【発明が解決しようとする課題】従って、本発明は前述した問題点を解決するためのもので、トレンチを用いた素子隔離方法においてトレンチ形成工程を容易にし、絶縁膜埋め込み工程で埋め込んだ絶縁膜の平坦性を改善することを目的とする。

【0016】

【課題を解決するための手段】前述した目的を達成するために、本発明の半導体装置の製造方法は、基板の各フィールド領域に一定間隔で同一の幅を有する複数個の第1トレンチを形成する段階と、前記各第1トレンチの下側の基板にチャネルストップイオン注入する段階と、前記各第1トレンチ内に第1絶縁膜を平坦に埋め込む段階と、前記各フィールド領域のうち各第1トレンチ間の基板をエッティングして複数個の第2トレンチを形成する段階と、前記第2トレンチ内に第2絶縁膜を平坦に埋め込む段階を有することを特徴とする。

【0017】

【発明の実施の形態】以下、添付した図面に基づき本発明を詳細に説明する。本発明はトレンチを用いた半導体装置の素子分離領域の形成工程時、素子分離領域に形成されるトレンチの広さが一定せず、それぞれ異なる場合のシリコン基板のエッティングに関するものである。最初に分離領域の広さにかかわらず、同じ幅を有するトレンチをまず形成し、このトレンチ内に絶縁膜を埋め込ませた後、素子分離領域が割合広い部分にさらに第2のトレンチをほぼ同等な幅を有するように形成し、この第2のトレンチに絶縁膜を埋め込ませたものである。

【0018】図3、4は本発明の一実施形態による半導体装置の素子分離膜形成方法を工程順序通り示したものである。まず、図3aに示したように、半導体基板11上に絶縁膜として、例えば酸化膜12を1000～5000オングストロームの厚さに形成する。フォトリソグラフィ及びエッティング工程によりパターンの小さいフィールド領域及び大きいパターンのフィールド領域の酸化膜12を選択的に取り除く。

【0019】その際、第1フィールド領域B1のパターンが小さく、第2フィールド領域B2のパターンが大きいと仮定する。アクティブ領域Aと第1、第2フィールド領域B1、B2とを決めて、フィールド領域の酸化膜を除去するが、第1フィールド領域B1の酸化膜12は

全部取り除き、第2フィールド領域B 2の酸化膜1 2は第1フィールド領域B 1のパターン大きさで一定間隔で複数箇所の酸化膜1 2を飛びとびに取り除く。従って、酸化膜1 2はアクティブ領域Aに残るもとともに、第2フィールド領域B 2内で飛びとびに残る。第1のフィールドでも複数の箇所で酸化膜を取り除くようにしても差し支えない。

【0020】次いで、図3bに示したように、前記酸化膜パターンをマスクとしてCH<sub>3</sub>+O<sub>2</sub>などのガスを用いた等方性エッチングまたはC<sub>12</sub>、SF<sub>6</sub>などのガスを用いた異方性エッチングにより露出された基板1 1を3000~5000オングストロームの深さにエッチングして同等の幅を有する多数の第1トレンチ1 3を素子分離領域に形成する。

【0021】引き続き、図2cに示したように、前記酸化膜1 2をマスクとしてPyro(H<sub>2</sub>+O<sub>2</sub>)または水蒸気などの酸化性雰囲気で800~950℃で基板を熱処理して各トレンチの底部及び内壁に100~350オングストロームのパッド酸化膜1 4を形成する。次いで、前記酸化膜1 2をマスクとしてチャネルトップイオン注入を施す。例えば、N-フィールド領域に対するチャネルトップとしてはB、BF<sub>2</sub>などのイオンを30~80KeVの加速電圧と2~5E13/cm<sup>2</sup>のドーズでイオン注入して前記パッド酸化膜1 4の下部の半導体基板1 1内にチャネルトップイオン注入層を形成する。

【0022】次ぎに、図3dに示したように、前記酸化膜1 2とパッド酸化膜1 4をHFの含まれた溶液で湿式エッチングして取り除いたり、あるいは取り除かずそのまま絶縁膜、例えば、酸化膜を前記トレンチの深さの半分より厚く基板上に堆積されるように蒸着してトレンチを埋め込んだ後、堆積厚さ以上にエッチバックしてシリコン基板の表面と素子分離領域の表面が水平になるように平坦化させて第1トレンチプラグ1 6を形成する。

【0023】次いで、図4eに示したように、基板上に感光膜1 7を塗布した後、フォトリソグラフィでアクティブ領域Aと第1フィールド領域B 1及び第2フィールドのアクティブ領域Aに隣接するプラグをマスキングし、第2フィールド領域B 2の他の部分の基板を露出させる。上記実施形態においては感光膜1 7は上記のように残すが、アクティブ領域と大1フィールド領域だけに残すようにしてもよい。またアクティブ領域のみに感光膜を残すようにしてもよい。

【0024】図4fに示したように、前記感光膜1 7をマスクとして露出された基板1 1をエッチングする。この際、第2フィールド領域B 2の前記第1トレンチプラグ1 6もマスクとして作用して実際に同等な幅を有する第2トレンチ1 8が第2フィールド領域B 2に形成される。

【0025】次いで、図4gに示したように、前記感光

膜を取り除いた後、絶縁膜として例えば酸化膜1 9を前記第2トレンチの深さの半分より厚く基板上に堆積されるように蒸着してトレンチを埋め込む。図4hに示したように、前記酸化膜1 9をエッチバックしてシリコン基板の表面と素子分離領域の表面とが水平となるように平坦化させることにより第2トレンチプラグ2 0を形成する。

【0026】これにより、割合狭い第1フィールド領域B 1のトレンチに埋め込まれた第1トレンチプラグ1 6による素子分離膜と、割合広い第2フィールド領域B 2のトレンチ内に埋め込まれた第1トレンチプラグ1 6及び第2トレンチプラグ2 0よりなる素子分離膜が形成される。

【0027】次いで、図5にに基づき本発明の他の実施形態による半導体装置の素子分離膜形成方法を説明する。前記実施形態の図4fまでの工程を行った後感光膜1 7を取り除いた後、図5aに示したように、基板の全面に絶縁膜として、例えば酸化膜を熱酸化法または蒸着法で100~500オングストロームの厚さに形成してパッド酸化膜2 1を形成した後、その上に流動性ある絶縁膜2 2として流動性ある酸化膜を第2トレンチ1 8を十分に埋め込める程度の厚さに形成する。

【0028】次いで、図5bに示したように、前記流動性ある絶縁膜2 2をN<sub>2</sub>やArガスを含む不活性雰囲気またはPyro(H<sub>2</sub>+O<sub>2</sub>)または水蒸気やO<sub>2</sub>などの酸化性雰囲気で600℃以上で熱処理して表面の屈曲を緩やかに流動させた後、エッチバックしてシリコン基板の表面と素子分離領域の表面が水平となるように平坦化させることにより、割合狭い第1フィールド領域B 1のトレンチに埋め込まれた第1トレンチプラグ1 6による素子分離膜と割合広い第2フィールド領域B 2のトレンチ内に埋め込まれた第1トレンチプラグ1 6と流動性ある絶縁膜2 2よりなる素子分離膜を形成する。

【0029】

【発明の効果】以上述べたように、本発明は素子分離領域にトレンチを形成するための基板エッチング工程時素子分離領域の大きさにかかわらず同等な幅でトレンチを形成することによりマイクロローディング効果を防止でき、工程の均一性及び再現性が改善される。また、トレンチ内に絶縁膜を埋め込ませて平坦化する過程において実際に同等な幅のトレンチを絶縁膜の蒸着及びエッチバックという一貫性ある工程により絶縁膜を埋め込むことによりマイクロローディング効果を防止でき、工程の均一性及び再現性を改善せらる。

【図面の簡単な説明】

【図1】 従来の半導体装置の素子分離膜の形成方法を示した工程順序図である。

【図2】 従来の半導体装置の素子分離膜の形成方法を示した工程順序図である。

【図3】 本発明の第1実施形態の素子分離膜の形成方

(5)

特開平9-55421

法を示した工程順序図である。

【図4】 本発明の第1実施形態の素子分離膜の形成方法を示した工程順序図である。

【図5】 本発明の第2実施形態の素子分離膜の形成方法を示した工程順序図である。

【符号の説明】

1 1 半導体基板

1 2、1 9 酸化膜

1 3 第1トレンチ

1 4、2 1 パッド酸化膜

1 5 チャネルトップイオン注入層

1 6 第1トレンチプラグ

1 7 感光膜

1 8 第2トレンチ

2 0 第2トレンチプラグ

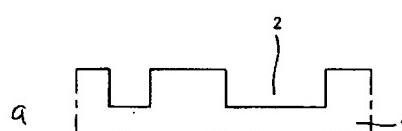
2 2 流動性ある絶縁膜

A アクティブ領域

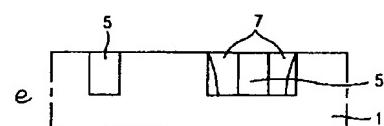
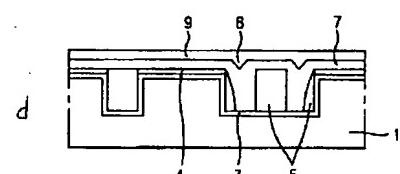
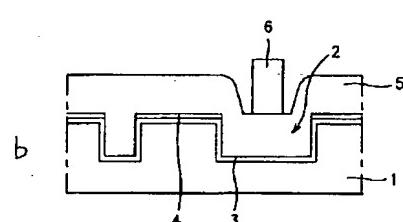
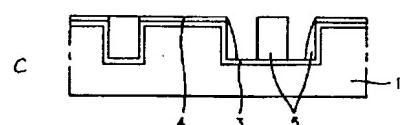
B 1 割合狭い素子分離領域

B 2 割合広い素子分離領域

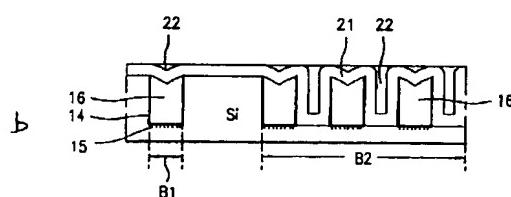
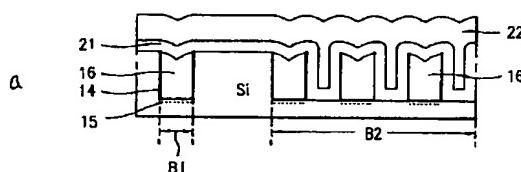
【図1】



【図2】



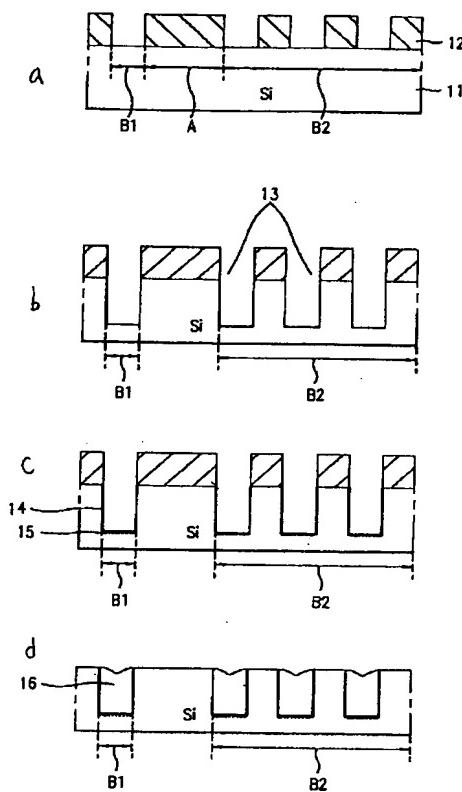
【図5】



( 6 )

特開平9-55421

【図3】



【図4】

